www.BarghArshad.ir

به نام خدا

آموزش کار با نرم افزار Xilinx ISE Design Suite

**بخش دوم : مقدمات شبیه سازی**

برای شبیه سازی نیاز است که شما با زبان برنامه نویسی Verilog آشنا باشید چرا که برای نوشتن Testbench باید از زبان Verilog استفاده کنید.

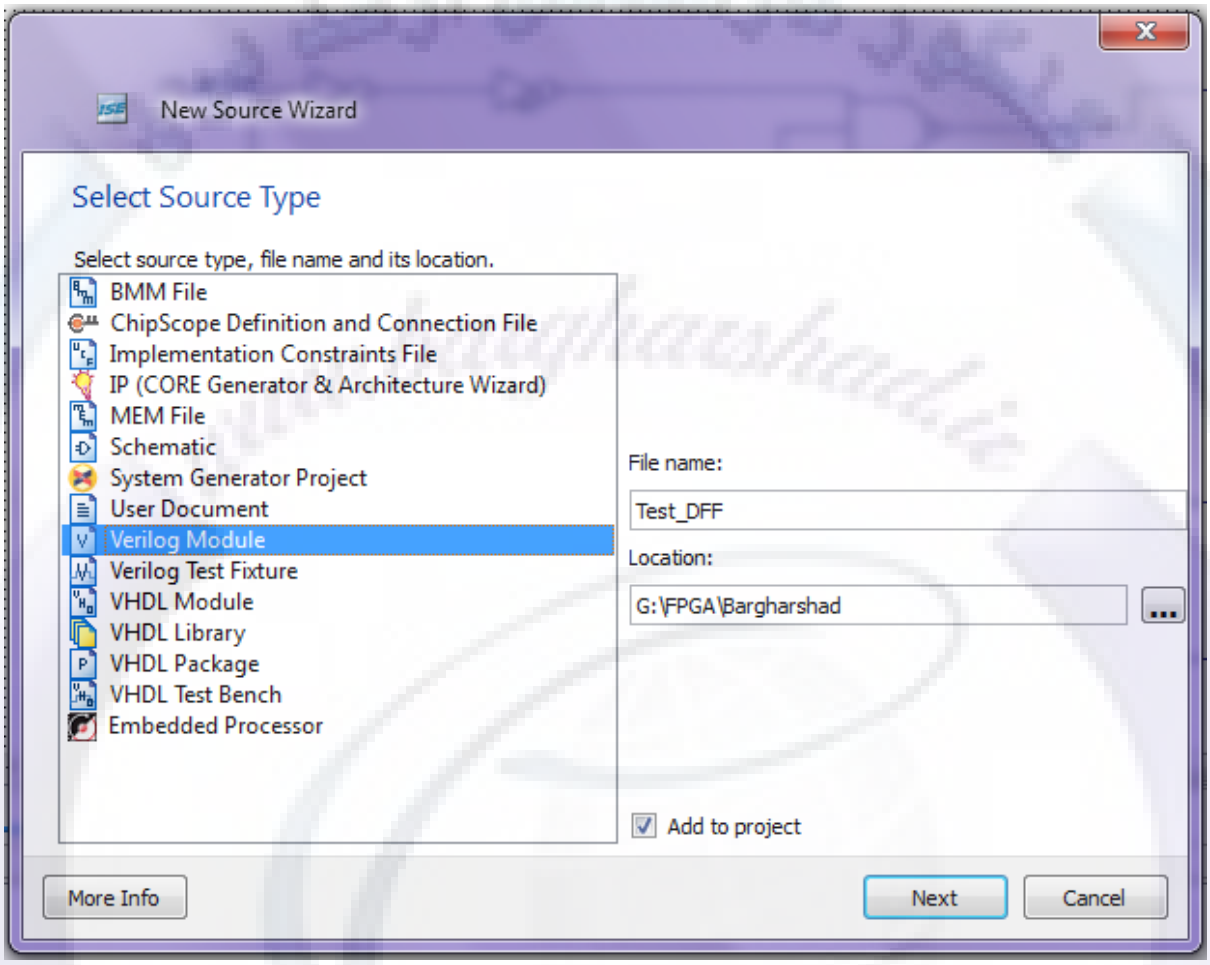
برای شبیه سازی با استفاده از Xilinx ISE و Modelsim حتما باید نکاتی که در بخش صفرم توضیح داده شد را انجام داده باشید و کتابخانه های مربوط به HDL Simulation کامپایل شده باشند زیرا در غیر این صورت شما نمی توانید شبیه سازی را در Modelsim انجام دهید.

پس از مطالعه و کمی کد نویسی به زبان Verilog که زبان ساده ای هم هست این بخش از آموزش را برای شبیه سازی مطالعه کنید. ( می توانید فقط برنامه نویسی سطح رفتاری Verilog را مطالعه کنید)



Sp@tula

برای شروع همان پروژه ی قسمت قبلی آموزش را باز کنید برای مثال ما یک فلیپ فلاپ نوع D ساخته بودیم، حال روی شکل آی سی(پروژه) راست کلیک کنید و گزینه ی .... New Source را انتخاب کنید از منوی باز شده این بار گزینه ی Verilog Module را انتخاب کنید (شکل ۱)




(شکل ۱)

سپس دوبار گزینه ی Next را زده تا گزارشی برای شما نمایش داده شود و سپس Finish را می زنید.

تا برای شما صفحه ی ویژه ی کد نویسی به زبان verilog نمایش داده شود (شکل ۲)



Sp@tula

```
1  `timescale 1ns / 1ps
2  //////////////////////////////////////////////////////////////////////////////////
3  // Company:
4  // Engineer:
5  //
6  // Create Date:    12:04:08 03/21/2014
7  // Design Name:
8  // Module Name:    Test_DFF
9  // Project Name:
10 // Target Devices:
11 // Tool versions:
12 // Description:
13 //
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 //////////////////////////////////////////////////////////////////////////////////
21 module Test_DFF(
22     );
23
24
25 endmodule
```

(شکل ۲)

همانطور که با زبان verilog آشنایی پیدا کردید باید کدهای خود را تحت عنوان Module بنویسیم.

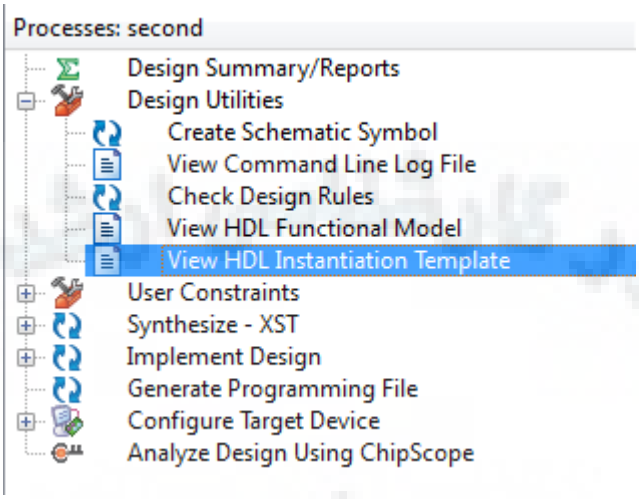
در ماژول های تست باید به این نکته توجه داشته باشید که ما ورودی نداریم و ورودی های مورد نیاز را خودمان دستی اعمال می کنیم تا ببینیم در خروجی نتیجه ی مطلوب برای آن ورودی آمده است یا نه.

به طور کلی برای شبیه سازی هر نوع ماژولی اعم از شماتیکی یا ماژولی که با کدنویسی آن را ساخته ایم باید آن را در کد تست Testbench فراخوانی کنیم.

یکی از امکاناتی که ISE در اختیار ما می گذارد این است که کد لازم جهت فراخوانی ماژول را برای ما می سازد . برای برداشتن این کد و قرار دادن آن در Testbench باید روی فایل مربوط به آن ماژول کلیک کرده تا امکانات زیر (شکل ۳) نمایش داده شود.



Sp@tula




(شکل ۳)

در قسمت Design Utilities روی قسمت View HDL Instantiotion Template دوبار کلیک کرده تا کد برای شما ساخته شود.(دقت کنید این کد برای ماژولی که انتخابش کردید ساخته می شود)

قسمت مربوطه را انتخاب کرده و کپی می کنیم تا در ماژول تست از آن استفاده کنیم:

```
second UUT (
    .D(     ),
    .R(     ),
    .C(     ),
    .Q(     )
);
```

برای ماژول فلیپ فلاپ D نیاز به پالس ساعت داریم که آن را تحت ماژول Test_DFFبه شکل زیر می سازیم :

```
module Test_DFF(output q
    );
    reg clk=0,r=0,d=0;
always
#5 clk=~clk;
```

که با توجه به این که واحد زمانی را در خط اول برنامه یک نانو ثانیه در نظر گرفتیم حاصل پاس ساعت با فرکانس 100مگاهرتز خواهد بود.

فقط دقت کنید که در شروع برنامه که clk را تعریف می کنید حتما مقدار اولیه به آن بدهید.

سپس باید کد مربوط به ماژول مربوط به تست را کپی کنیم و ورودی ها و خروجی ها را در آن مشخص کنیم .



Sp@tula

پس از آن باید مقادیر ورودی های مدار را در لحظات دلخواه به ماژول دهیم :

```
module Test_DFF(output q
    );
    reg clk=0,r=0,d=0;
always
#5 clk=~clk;
```

تعریف پالس ساعت :

```
   second DFF1 (
      .D( d ),
      .R( r ),
      .C( clk ),
      .Q( q )
   );
```

فراخوانی ماژول :

مقدار دهی ورودی ها :

```
initial
begin
#50 d=1;
#50 d=0;
#10 d=1;
#20 r=1;
#50 d=1;
#50 d=0;
#10 d=1;
#15 r=0;
end

endmodule
```

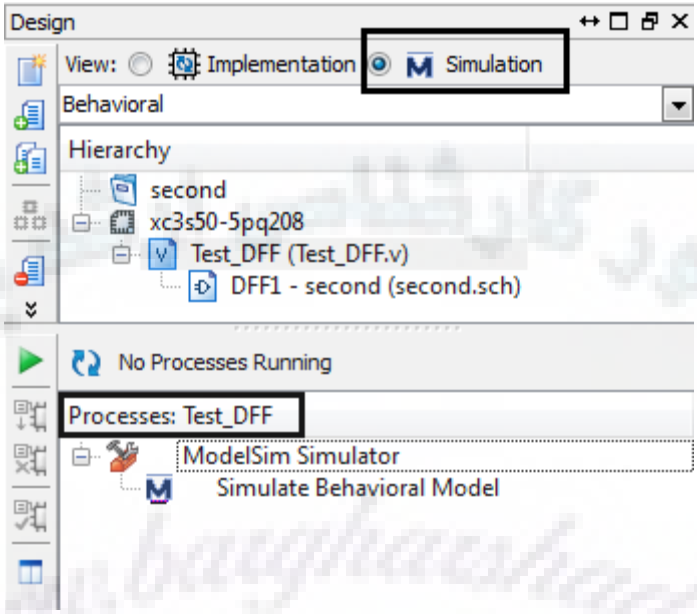
به این نکته توجه داشته باشید که چون تاخیر (علامت #) در کدها قابل پیاده سازی نیست پس انتظار نداشته باشید که کدتان سنتز شود. پس برای اینکه از صحت کدتان اطمینان پیدا کنید می توانید از گزینه Check Syntaxاز شاخه ی Synthesize – XST استفاده کنید.

حال پس از کامل شدن Testbench به مرحله ی شبیه سازی می رسیم .

در این مرحله طبق شکل ۴ باید به قسمت Simulation رفته و فایل Testbench را انتخاب کنید :



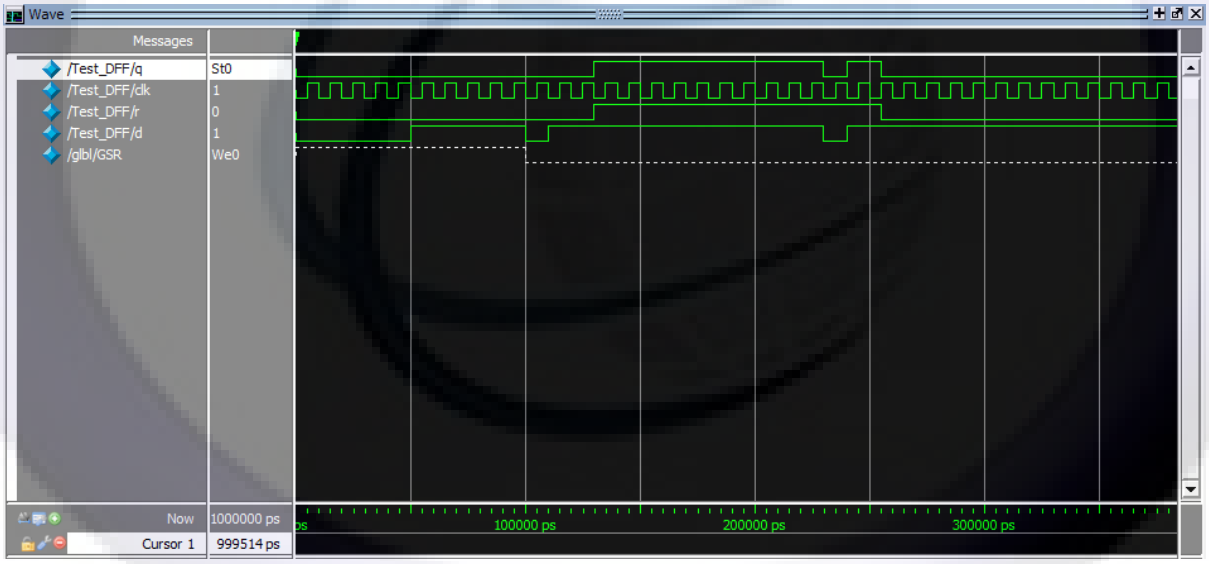
Sp@tula




(شکل ۴)

سپس روی Simulate Behavioral Model دوبار کلیک کرده تا پنجره ی Modelsim باز شود و پس از کمی صبر(که مدت آن به حجم کد شما بستگی دارد) نتایج شبیه سازی شما نمایش داده می شود.

این هم نتایج شبیه سازی کد Testbench فوق :




(شکل ۵)

باز هم تاکید می کنم که اگر شبیه سازی برای شما باز نشد کامپایل بودن کتابخانه های HDL Simulation را یکبار دیگر چک کنید.



Sp@tula